



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-213399

(43) 公開日 平成8年(1996)8月20日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321		9169-4M	H 0 1 L 21/ 92	6 0 4 N
		9169-4M		6 0 4 B
		9169-4M		6 0 4 A

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21) 出願番号	特願平7-20649	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成7年(1995)2月8日	(72) 発明者	君島 進 神奈川県横浜市磯子区新磯子町33番地 株 式会社東芝生産技術研究所内
		(72) 発明者	山本 俊夫 神奈川県横浜市磯子区新磯子町33番地 株 式会社東芝生産技術研究所内
		(72) 発明者	森 郁夫 神奈川県横浜市磯子区新磯子町33番地 株 式会社東芝生産技術研究所内
		(74) 代理人	弁理士 鈴江 武彦

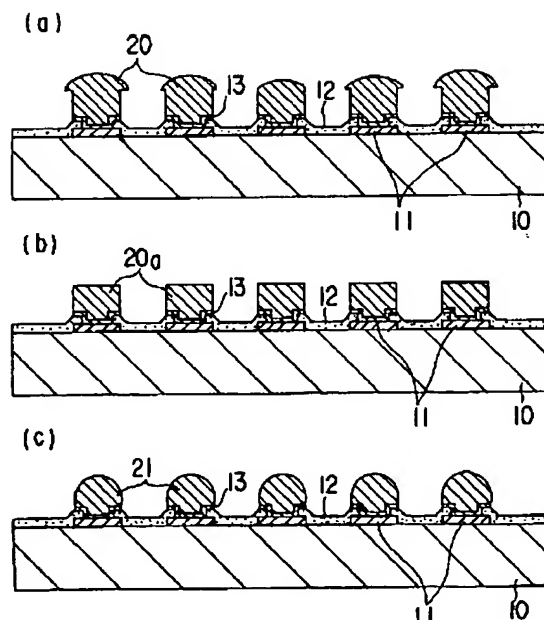
最終頁に続く

(54) 【発明の名称】 はんだバンプ形成方法

(57) 【要約】

【目的】均一な大きさであるとともに、均質なはんだバンプを形成することができるはんだバンプ形成方法を提供すること。

【構成】複数の電極11が設けられた半導体基板10の電極11にそれぞれはんだバンプを形成するはんだバンプ形成方法において、少なくとも電極11上にはんだ20を供給する供給工程と、供給されたはんだ20を半導体基板10からのそれぞれの高さが所定高さになるように研磨する研磨工程と、はんだ20aを加熱溶解することによってはんだバンプ21を形成するバンプ形成工程とを具備している。



## 【特許請求の範囲】

【請求項1】複数の電極が設けられた基板の上記電極にそれぞれはんだバンプを形成するはんだバンプ形成方法において、

少なくとも上記電極上にはんだを供給する供給工程と、供給された上記はんだを上記基板からのそれぞれの高さが所定高さになるように研磨する研磨工程と、上記はんだを加熱溶融することによってバンプを形成するバンプ形成工程とを具備していることを特徴とするはんだバンプ形成方法。

【請求項2】上記研磨工程は、供給された上記はんだの上記基板からのそれぞれの高さが略同一となるまで行われることを特徴とする請求項1に記載のはんだバンプ形成方法。

【請求項3】上記はんだを供給する供給工程の前に、上記電極に対応する位置に上記はんだが供給される孔部が設けられたマスクを形成するマスク形成工程を具備することを特徴とする請求項1に記載のはんだバンプ形成方法。

【請求項4】上記はんだを供給する供給工程の後に、上記電極に対応する位置以外の上記はんだを除去するためのマスクを形成するマスク形成工程を具備することを特徴とする請求項1に記載のはんだバンプ形成方法。

【請求項5】上記研磨する工程の前に上記マスクを除去する除去工程を具備することを特徴とする請求項3または4に記載のはんだバンプ形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、LSI等の電子部品を実装基板に高密度に実装するために用いられるはんだバンプの形成方法に関する。

## 【0002】

【従来の技術】LSI等の半導体素子を実装基板に実装するために、半導体基板の電極にはんだバンプが形成される。従来ののはんだバンプ形成方法は、図5または図6に示すような工程が採られていた。なお、図5及び図6中10は、内部にLSI等の半導体素子を形成した半導体基板、11は上記半導体基板10上に形成された電極を示している。

【0003】図5に示すはんだバンプ形成方法は、最初に図5の(a)に示すように、電極11が設けられた半導体基板10の表面の保護用のパッシベーション膜12上にバリア・メタル13を蒸着等の手段で形成する。なお、バリア・メタル13の材料としては、チタン、クロム、ニッケル、パラジウム等の金属が単体または組み合わせて用いられている。次に、図5の(b)に示すようにバリア・メタル13上にフォトリソレジスト14を塗布し、露光現像でバンプ形成領域に対応するフォトリソレジスト14に貫通孔14aを形成する。さらに、バリア・メタル13を陰極として貫通孔14aを介してはんだメ

ッキを行い、はんだ15を形成する。

【0004】次に、不要なフォトリソレジスト14を除去した後、図5の(c)に示すようにはんだ15をマスクとしてバリア・メタル13の不要部分をエッチングする。なお、バリア・メタル13として例えばニッケル材製のものをを用いた場合には、エッチング液として硝酸、塩酸、酢酸の混合液を使う。このとき、はんだ15中の錫が主に腐食される。

【0005】最後に、半導体基板10を熱板等に載せてはんだ15を加熱溶融して、図5の(d)に示すようなはんだバンプ16を形成する。はんだバンプ16のはんだ組成ははんだメッキを行う工程において、めっき液中の錫と鉛の量を適宜調整することによって制御する。

【0006】一方、図6に示すはんだバンプ形成方法は、最初に図6の(a)に示すように、電極11が設けられた半導体基板10の表面に保護用のパッシベーション膜12上にバリア・メタル13を蒸着等の手段で形成する。次に、図6の(b)に示すようにバリア・メタル13上に全面にはんだメッキを行い、はんだ層17を形成する。

【0007】次に、図6の(c)に示すようにパターンニングしたフォトリソレジスト18を形成する。さらに図6の(d)に示すようにフォトリソレジスト18をマスクにしてはんだ層17の不要部分及びバリア・メタル13の不要部分をエッチングし、はんだ17aを形成する。最後に半導体基板10を熱板等に載せてはんだ17aを加熱溶融して、図6の(e)に示すようなはんだバンプ19を形成する。はんだバンプ19のはんだ組成ははんだメッキを行う工程において、めっき液中の錫と鉛の量を適宜調整することによって制御する。

## 【0008】

【発明が解決しようとする課題】上記した従来ののはんだバンプ形成方法によって形成されたはんだバンプは次のような問題があった。すなわち、はんだメッキを行う工程では、半導体基板10の周辺部、すなわち図5及び図6における左右端において、メッキの電解密度が高くなるために中央部のメッキの厚さよりも周辺部のメッキの厚さが大きくなるという傾向がある。また、電極11が密集する部分の周辺部もメッキの厚さが大きくなるという傾向がある。

【0009】このようにして形成されたはんだ15、17aを加熱溶融して形成されたはんだバンプ16、19の大きさは半導体基板10の中央部と周辺部とで不均一となる。このため、大きさの不均一なはんだバンプ16、19が形成された電子部品をプリント基板に実装すると、中央部のはんだバンプ16、19の高さが足りなくなり、未はんだ等のはんだ付け不良が発生する虞があった。

【0010】また、はんだメッキを行う方法を改良することにより、上述したような傾向を抑えることが考えら

れているが、はんだメッキを行う工程においては、錫と鉛との組成制御も併せて行うこととしているため、はんだメッキの大きさの均一化は困難である。さらに、電子部品の狭ピッチ、多ピン化が進むにつれて、さらに不均一さが顕著となる。

【0011】一方、バリア・メタル13のエッチングをはんだ15、17aを電極11上に形成した後に行うので、はんだ15、17aのはんだ厚が減少したり、はんだ15、17aの表面に化学変化が生じて、特定の成分が多くなつてはんだバンプ16、19のはんだの組成が

変るという問題もあった。

【0012】そこで本発明は、均一な大きさであるとともに、所望のはんだ組成のはんだバンプを形成することができるはんだバンプ形成方法を提供することを目的としている。

【0013】

【課題を解決するための手段】上記課題を解決し目的を達成するために、請求項1に記載された発明は、複数の電極が設けられた基板の上記電極にそれぞれはんだバンプを形成するはんだバンプ形成方法において、少なくとも上記電極上にはんだを供給する供給工程と、供給された上記はんだを上記基板からのそれぞれの高さが所定高さになるように研磨する研磨工程と、上記はんだを加熱溶融することによってバンプを形成するバンプ形成工程とを具備するようにした。

【0014】請求項2に記載された発明によれば、請求項1に記載された発明において、上記研磨工程は、供給された上記はんだの上記基板からのそれぞれの高さが略同一となるまで行われることを特徴とする請求項1に記載のはんだバンプ形成方法。

【0015】請求項3に記載された発明によれば、請求項1に記載された発明において、上記はんだを供給する供給工程の前に、上記電極に対応する位置に上記はんだが供給される孔部が設けられたマスクを形成するマスク形成工程とを具備することが好ましい。

【0016】請求項4に記載された発明によれば、請求項1に記載された発明において、上記はんだを供給する工程の後に、上記電極に対応する位置以外の上記はんだを除去するためのマスクを形成するマスク形成工程を具備することが好ましい。

【0017】請求項5に記載された発明によれば、請求項3または4に記載された発明において、上記研磨する工程の前に上記マスクを除去する除去工程を具備することが好ましい。

【0018】

【作用】上記手段を講じた結果、次のような作用が生じる。すなわち、請求項1に記載された発明によれば、基板の複数の電極にそれぞれはんだバンプを形成するはんだバンプ形成方法において、電極上に供給されたそれぞれのはんだを基板からの所定高さになるように研磨でき

るので、各種半径を有するバンプを形成できる。

【0019】請求項2に記載された発明によれば、請求項1に記載された発明において、電極上に供給されたそれぞれのはんだを基板からの高さが一致するまで研磨できるので、ほぼ同じ半径を有するバンプを形成できる。

【0020】請求項3に記載された発明によれば、請求項2に記載された発明において、はんだを供給する供給工程の前に、電極に対応する位置にはんだが供給される孔部が設けられたマスクを形成することによって、はんだを容易に電極上に供給することができる。

【0021】請求項4に記載された発明によれば、請求項1に記載された発明において、はんだを供給する供給工程の後に、電極に対応する位置以外のはんだを除去するためのマスクを形成することによって、不要なはんだを容易に除去することができる。

【0022】請求項5に記載された発明によれば、請求項3または4に記載された発明において、研磨する研磨工程の前にマスクを除去する除去工程を具備することによって、マスクを除去する際に生ずる化学変化したはんだを研磨により除去することができる。したがって、均質なはんだバンプを形成することができる。

【0023】

【実施例】図1、図2は本発明の第1実施例に係るはんだバンプ形成方法の工程を示す断面図である。これらの図において、図5および図6と同一機能部分には同一符号が付されている。なお、図1及び図2中10は半導体基板、11は半導体基板10に設けられた電極を示している。

【0024】最初に図1の(a)に示すように、半導体基板10の表面の電極11の中央部を除く部分の保護用のパッシベーション膜12上にバリア・メタル13を蒸着等の手段で形成する。なお、バリア・メタル13の材料としては、チタン、クロム、ニッケル、パラジウム等の金属が単体または組み合わせて用いられている。次に図1の(b)に示すようにバリア・メタル13上にフォトリソレジスト14を塗布し、露光現像でバンプ形成領域に対応するフォトリソレジスト14に貫通孔14aを形成する。さらに、バリア・メタル13を陰極として貫通孔14aを介してはんだメッキを行い、はんだ20を形成する。なお、このはんだ20は後述する研磨工程を考慮して若干厚く形成する。

【0025】次に不要なフォトリソレジスト14を除去した後、図2の(a)に示すようにはんだ20をマスクとしてバリア・メタル13の不要部分をエッチングする。なお、バリア・メタル13として例えばニッケル材製のものをを用いた場合には、エッチング液として硝酸、塩酸、酢酸の混合液を使う。このとき、はんだ20中の上部の錫が主に腐食される。

【0026】次に図2の(b)に示すようにはんだ20の図2中上部を研磨し、高さが一定のはんだ20aを形

成する。最後に、半導体基板10を熱板等に載せてはんだ20aを加熱溶融して、図2の(c)に示すような均一な大きさのはんだバンプ21を形成する。

【0027】上述したように本第1実施例では、電極11上に供給されたはんだ20をそれぞれの高さが一致するまで研磨するようにしているので、その後の加熱溶融してバンプを形成する際に均一の大きさのはんだバンプ21を形成することができる。したがって、このようなはんだバンプ21が形成された電子部品を実装基板に実装する際にはんだバンプ21の高さが不足してはんだ付け不良が発生することを防止できる。また、バリア・メタル13をエッチングする際に錫が腐食した部分は、研磨により除去されるので、その後の加熱溶融によってはんだバンプ21を形成する際にも錫と鉛によるはんだ組成に影響が生じない。

【0028】なお、本第1実施例ではバリア・メタル13をエッチングした後はんだ20の研磨を行っているが、このエッチングを行う前にはんだ20を研磨するようにしてもよい。

【0029】図3、図4は本発明の第2実施例に係るはんだバンプ形成方法の工程を示す断面図である。これらの図において、図1および図2と同一機能部分には同一符号が付されている。

【0030】最初に図3の(a)に示すように、半導体基板10の表面の電極11の中央部を除く部分に保護用のパッシベーション膜12を塗布する。次にバリア・メタル13を蒸着等の手段で形成する。次に図3の(b)に示すようにバリア・メタル13上にはんだメッキを行い、はんだ層30を形成する。なお、このはんだ層30は後述する研磨工程を考慮して若干厚く形成する。さらに、図3の(c)に示すようにパターンニングしたフォト・レジスト18を形成する。

【0031】次に、図4の(a)に示すようにフォト・レジスト18をマスクにしてはんだ層30の不要部分及びバリア・メタル13の不要部分をエッチングし、はんだ30aを形成する。さらに、図4の(b)に示すようにはんだ30aの図4中上部を研磨し、高さが一定のはんだ30bを形成する。最後に、半導体基板10を熱板等に載せてはんだ30bを加熱溶融して、図4の(c)に示すような均一な大きさのはんだバンプ31を形成する。

【0032】上述したように本第2実施例では、電極11上に供給されたはんだ30aをそれぞれの高さが一致するまで研磨するようにしているので、上述した第1実施例と同様の効果を得ることができる。

【0033】なお、本第2実施例ではバリア・メタル13をエッチングした後はんだ30aの研磨を行っているが、フォト・レジスト18を形成する前にはんだ層30を研磨するようにしてもよい。

【0034】なお、本発明は上述した各実施例に限定されるものではない。すなわち上記実施例では、バリア・メタルを形成する方法として蒸着を行っているが、スパッタリングを行ってもよい。このほか本発明の要旨を逸脱しない範囲で種々変形実施可能であるのは勿論である。

【0035】

【発明の効果】請求項1に記載された発明によれば、電極上に供給されたそれぞれのはんだを基板からの高さが所定高さになるように研磨できるため、各電極上のはんだを加熱溶融すると、任意の半径を有するバンプを形成することができる。

【0036】請求項2に記載された発明によれば、電極上に供給されたそれぞれのはんだを基板からの高さが一致するまで研磨するようにしている。このため、各電極上のはんだを加熱溶融すると、ほぼ同じ半径を有するバンプが形成される。したがって、実装する際にはんだバンプの大きさの不均一によるはんだ付け不良を防止することができる。

【0037】請求項3に記載された発明によれば、はんだを容易に電極上に供給することができる。したがって、生産効率が向上する。請求項4に記載された発明によれば、不要なはんだを容易に除去することができる。したがって、生産効率が向上する。

【0038】請求項5に記載された発明によれば、マスクを除去する際に生ずる化学変化したはんだを研磨により除去することができる。したがって、均質なはんだバンプを形成することができ、はんだ付け不良を未然に防止することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るはんだバンプ形成方法の前半の工程を示す断面図。

【図2】同方法の後半の工程を示す断面図。

【図3】本発明の第2実施例に係るはんだバンプ形成方法の前半の工程を示す断面図。

【図4】同方法の後半の工程を示す断面図。

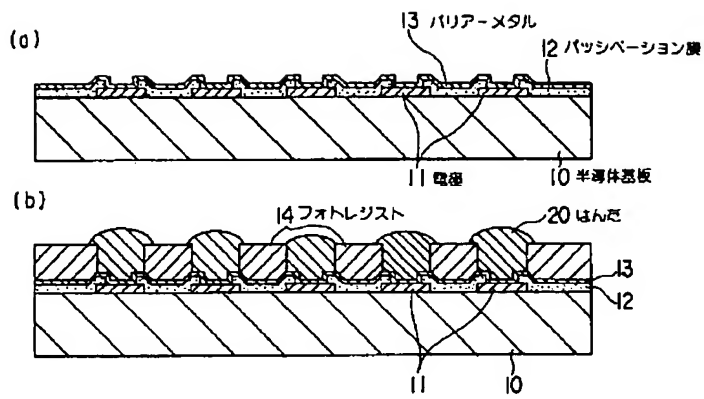
【図5】従来のはんだめっきによるはんだバンプ形成方法の工程の一例を示す断面図。

【図6】従来のはんだめっきによるはんだバンプ形成方法の工程の別の例を示す断面図。

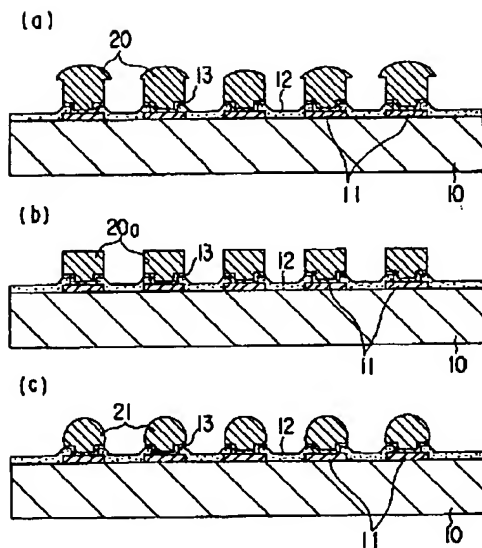
【符号の説明】

10…半導体基板	11…電極
12…パッシベーション膜	13…バリア・メタル
14…フォト・レジスト	14a…貫通孔
18…フォト・レジスト	
20, 20a, 30a, 30b…はんだ	
21, 31…はんだバンプ	30…はんだ層

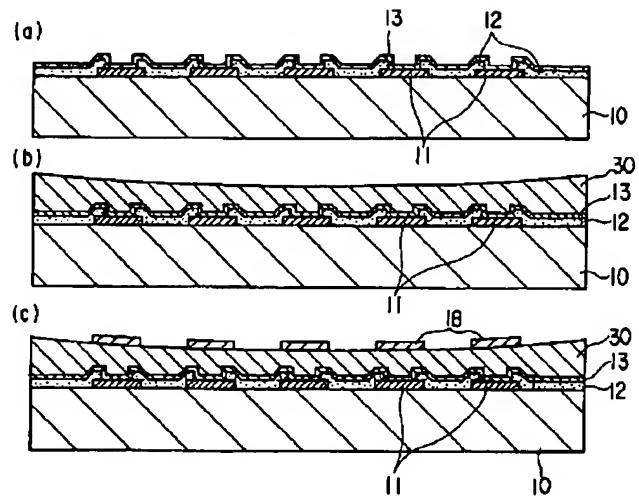
【図1】



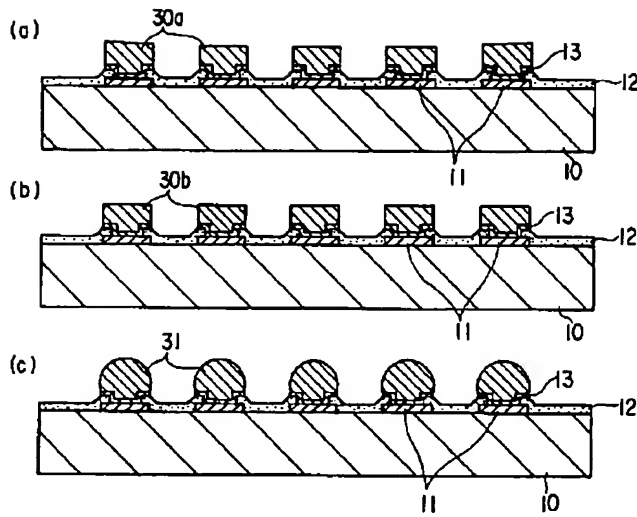
【図2】



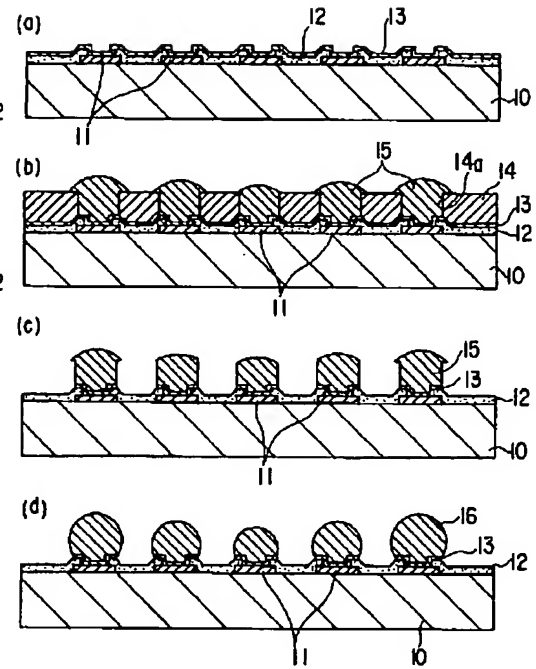
【図3】



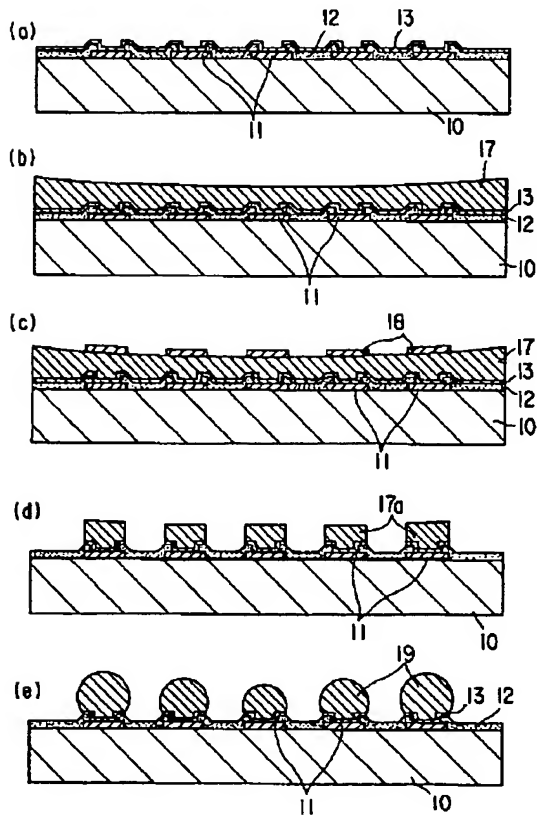
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 小梁川 尚  
神奈川県横浜市磯子区新磯子町33番地 株  
式会社東芝生産技術研究所内

PAT-NO: JP408213399A

DOCUMENT-IDENTIFIER: JP 08213399 A

TITLE: METHOD FOR FORMING SOLDER BUMP

PUBN-DATE: August 20, 1996

INVENTOR-INFORMATION:

NAME

KIMIJIMA, SUSUMU

YAMAMOTO, TOSHIO

MORI, IKUO

KOBAKAWA, TAKASHI

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP07020649

APPL-DATE: February 8, 1995

INT-CL (IPC): H01L021/321

ABSTRACT:

PURPOSE: To provide a method for forming solder bumps by which homogeneous bumps having uniform sizes can be formed.

CONSTITUTION: A method for forming solder bumps by which solder bumps are respectively formed on the electrodes 11 of a semiconductor substrate 10 provided with the electrodes 11 contains at least a supply process for supplying solder 20 onto the electrodes 11, polishing process for polishing the supplied solder 20 to a prescribed height from the surface of the substrate 10,



and bump forming process for forming the solder bumps 21 by melting the solder 20a by heating.

COPYRIGHT: (C)1996,JPO

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-213399

(43)Date of publication of application : 20.08.1996

(51)Int. Cl.

H01L 21/321

(21)Application number : 07-020649

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 08.02.1995

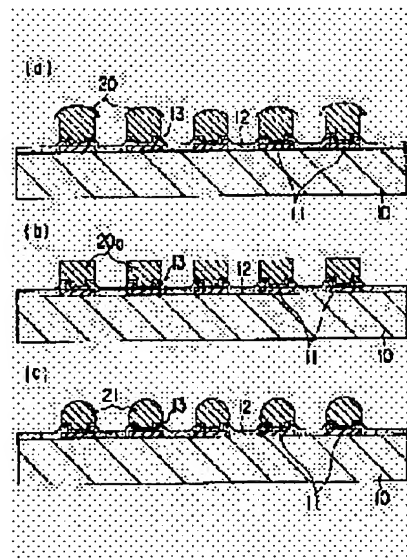
(72)Inventor : KIMIJIMA SUSUMU  
YAMAMOTO TOSHIO  
MORI IKUO  
KOBARIKAWA TAKASHI

## (54) METHOD FOR FORMING SOLDER BUMP

(57)Abstract:

PURPOSE: To provide a method for forming solder bumps by which homogeneous bumps having uniform sizes can be formed.

CONSTITUTION: A method for forming solder bumps by which solder bumps are respectively formed on the electrodes 11 of a semiconductor substrate 10 provided with the electrodes 11 contains at least a supply process for supplying solder 20 onto the electrodes 11, polishing process for polishing the supplied solder 20 to a prescribed height from the surface of the substrate 10, and bump forming process for forming the solder bumps 21 by melting the solder 20a by heating.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to a solder bump's formation method used since electronic parts, such as LSI, are mounted in a mounting substrate with high density.

[0002]

[Description of the Prior Art] Since semiconductor devices, such as LSI, are mounted in a mounting substrate, a solder bump is formed in the electrode of a semiconductor substrate. The process as shown in the conventional solder bump formation method to drawing 5 or drawing 6 was taken. In addition, the semiconductor substrate by which ten in drawing 5 and drawing 6 formed semiconductor devices, such as LSI, in the interior, and 11 show the electrode formed on the above-mentioned semiconductor substrate 10.

[0003] The solder bump formation method shown in drawing 5 forms the barrier metal 13 with meanses, such as vacuum evaporation, on the passivation film 12 for protection of the front face of the semiconductor substrate 10 in which the electrode 11 was formed, as first shown in (a) of drawing 5. in addition -- as the material of the barrier metal 13 -- metals, such as titanium, chromium, nickel, and palladium, -- a simple substance -- or it is combined and used Next, as shown in (b) of drawing 5, the photograph resist 14 is applied on the barrier metal 13, and breakthrough 14a is formed in the photograph resist 14 corresponding to a bump formation field in exposure development. Furthermore, solder plating is performed through breakthrough 14a by using barrier metal 13 as cathode, and solder 15 is formed.

[0004] Next, after removing the unnecessary photograph resist 14, as shown in (c) of drawing 5, the garbage of the barrier metal 13 is \*\*\*\*\*ed by using solder 15 as a mask. In addition, when the thing made from for example, nickel material is used as a barrier metal 13, the mixed liquor of a nitric acid, a hydrochloric acid, and an acetic acid is used as an etching reagent. At this time, the tin in solder 15 is mainly corroded.

[0005] Finally, the semiconductor substrate 10 is put on a hot platen etc., heating fusion of the solder 15 is carried out, and the solder bump 16 as shown (d) of drawing 5 is formed. The solder bump's 16 solder composition is controlled by adjusting the tin in plating liquid, and a leaden amount suitably in the process which performs solder plating.

[0006] On the other hand, the solder bump formation method shown in drawing 6 forms the barrier metal 13 in the front face of the semiconductor substrate 10 in which the electrode 11 was formed with meanses, such as vacuum evaporation, on the passivation film 12 for protection, as first shown in (a) of drawing 6. Next, as shown in (b) of drawing 6, on the barrier metal 13, solder plating is performed on the whole surface and the solder layer 17 is formed.

[0007] Next, the photograph resist 18 which carried out patterning as shown in (c) of drawing 6 is formed. As furthermore shown in (d) of drawing 6, the photograph resist 18 is used as a mask, the garbage of the solder layer 17 and the garbage of the barrier metal 13 are \*\*\*\*\*ed, and solder 17a is formed. Finally the semiconductor substrate 10 is put on a hot platen etc., heating fusion of the solder 17a is carried out, and the solder bump 19 as shown (e) of drawing 6 is formed. The solder bump's 19 solder composition is controlled by adjusting the tin in plating liquid, and a leaden amount suitably in the process which performs solder plating.

[0008]

[Problem(s) to be Solved by the Invention] The solder bump formed by the above-mentioned conventional solder bump formation method had the following problems. That is, at the process which performs solder plating, in the right-and-left edge in the periphery, i.e., drawing 5, and drawing 6 of the semiconductor substrate 10, since the electrolysis density of plating becomes high, there is an inclination for the thickness of plating of a periphery to become large rather than the thickness of plating of a center section. Moreover, the periphery of the portion in which an electrode 11 crowds also has the inclination for the thickness of plating to become large.

[0009] Thus, the solder bumps' 16 and 19 size formed by carrying out heating fusion of the formed solder 15 and 17a becomes uneven at the center section and periphery of the semiconductor substrate 10. For this reason, when the electronic parts with which the solder bumps 16 and 19 with an uneven size were formed were mounted in the printed circuit board, the height of the solder bumps 16 and 19 of a center section becomes less insufficient, and there was a possibility that poor soldering, such as non-solder, might occur.

[0010] Moreover, in the process which performs solder plating, although it considers suppressing an inclination which was mentioned above by improving the method of performing solder plating, in order to carry out by combining composition control with tin and lead, equalization of the size of solder plating is difficult. Furthermore, unevenness becomes still more remarkable as

the \*\* pitch of electronic parts and many pin-ization progress.

[0011] On the other hand, since etching of the barrier metal 13 was performed after forming solder 15 and 17a on an electrode 11, \*\*\*\*\* of solder 15 and 17a decreased, or the chemical change arose on the front face of solder 15 and 17a, and there was also a problem that a specific component increased and composition of the solder bumps' 16 and 19 solder changed.

[0012] Then, this invention aims at offering the solder bump formation method which can form the solder bump of desired solder composition while it is a uniform size.

[0013]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem and to attain the purpose, invention indicated by the claim 1 In the solder bump formation method which forms a solder bump in the above-mentioned electrode of the substrate in which two or more electrodes were prepared, respectively The supply process which supplies solder on the above-mentioned electrode at least, the polish process which grinds the supplied above-mentioned solder so that each height from the above-mentioned substrate may turn into predetermined height, and the bump formation process which forms a bump by carrying out heating fusion of the above-mentioned solder were provided.

[0014] each height from the above-mentioned substrate of the above-mentioned solder with which the above-mentioned polish process was supplied in invention indicated by the claim 1 according to invention indicated by the claim 2 -- abbreviation -- the solder bump formation method according to claim 1 characterized by being carried out until it becomes the same

[0015] According to invention indicated by the claim 3, in invention indicated by the claim 1, it is desirable to provide the mask formation process which forms the mask with which the pore by which the above-mentioned solder is supplied to the position corresponding to the above-mentioned electrode was prepared before the supply process which supplies the above-mentioned solder.

[0016] According to invention indicated by the claim 4, in invention indicated by the claim 1, it is desirable to provide the mask formation process which forms the mask for removing the above-mentioned solder other than the position corresponding to the above-mentioned electrode after the process which supplies the above-mentioned solder.

[0017] According to invention indicated by the claim 5, in invention indicated by claims 3 or 4, it is desirable to provide the removal process which removes the above-mentioned mask before the above-mentioned process which carries out polish.

[0018]

[Function] As a result of providing the above-mentioned means, the following operations arise. That is, since according to invention indicated by the claim 1 each solder supplied on the electrode can be ground in the solder bump formation method which forms a solder bump in two or more electrodes of a substrate, respectively so that it may become predetermined height from a substrate, the bump who has various radii can be formed.

[0019] Since according to invention indicated by the claim 2 each solder supplied on the electrode can be ground in invention indicated by the claim 1 until the height from a substrate is in agreement, the bump who has the almost same radius can be formed.

[0020] According to invention indicated by the claim 3, in invention indicated by the claim 2, solder can be easily supplied on an electrode by forming the mask with which the pore by which solder is supplied to the position corresponding to an electrode was prepared before the supply process which supplies solder.

[0021] According to invention indicated by the claim 4, in invention indicated by the claim 1, unnecessary solder is easily removable by forming the mask for removing solder other than the position corresponding to an electrode after the supply process which supplies solder.

[0022] According to invention indicated by the claim 5, by providing the removal process which removes a mask in invention indicated by claims 3 or 4 before the polish process to grind, although polish removes the solder which is produced in case a mask is removed and which changed chemically, it can do. Therefore, a homogeneous solder bump can be formed.

[0023]

[Example] Drawing 1 and drawing 2 are the cross sections showing the process of the solder bump formation method concerning the 1st example of this invention. In these drawings, the same sign is given to the same functional division as drawing 5 and drawing 6. In addition, the electrode by which ten in drawing 1 and drawing 2 was prepared in the semiconductor substrate, and 11 was prepared in the semiconductor substrate 10 is shown.

[0024] As first shown in (a) of drawing 1, the barrier metal 13 is formed with meanses, such as vacuum evaporation, on the passivation film 12 for protection of the portion except the center section of the electrode 11 of the front face of the semiconductor substrate 10. in addition -- as the material of the barrier metal 13 -- metals, such as titanium, chromium, nickel, and palladium, -- a simple substance -- or it is combined and used Next, as shown in (b) of drawing 1, the photograph resist 14 is applied on the barrier metal 13, and breakthrough 14a is formed in the photograph resist 14 corresponding to a bump formation field in exposure development. Furthermore, solder plating is performed through breakthrough 14a by using barrier metal 13 as cathode, and solder 20 is formed. In addition, this solder 20 is thickly formed a little in consideration of the polish process mentioned later.

[0025] Next, after removing the unnecessary photograph resist 14, as shown in (a) of drawing 2, the garbage of the barrier metal 13 is \*\*\*\*\*ed by using solder 20 as a mask. In addition, as a barrier metal 13, a metaphor uses the mixed liquor of a nitric acid, a hydrochloric acid, and an acetic acid as an etching reagent, when the thing made from nickel material is used. At this time, the tin of the upper part in solder 20 is mainly corroded.

[0026] Next, as shown in (b) of drawing 2, the drawing 2 Nakagami section of solder 20 is ground, and height forms fixed solder 20a. Finally, the semiconductor substrate 10 is put on a hot platen etc., heating fusion of the solder 20a is carried out, and the solder bump 21 of a uniform size as shown in (c) of drawing 2 is formed.

[0027] As mentioned above, in case after that carries out heating fusion of it since it is made to grind the solder 20 supplied on the electrode 11 until each height is in agreement and a bump is formed in the \*\*\*\* 1 example, the solder bump 21 of a uniform size can be formed. Therefore, in case the electronic parts with which such a solder bump 21 was formed are mounted in a mounting substrate, it can prevent that the solder bump's 21 height is insufficient and poor soldering occurs. Moreover, since it is removed by polish, in case the portion which tin corroded when \*\*\*\*\*ing the barrier metal 13 forms the solder bump 21 by subsequent heating melting, influence does not produce it in the solder composition by tin and lead.

[0028] In addition, before performing this etching, you may make it grind solder 20, although solder 20 is ground in the \*\*\*\* 1 example after \*\*\*\*\*ing the barrier metal 13.

[0029] Drawing 3 and drawing 4 are the cross sections showing the process of the solder bump formation method concerning the 2nd example of this invention. In these drawings, the same sign is given to the same functional division as drawing 1 and drawing 2.

[0030] As first shown in (a) of drawing 3, the passivation film 12 for protection is applied to the portion except the center section of the electrode 11 of the front face of the semiconductor substrate 10. Next, the barrier metal 13 is formed with meanses, such as vacuum evaporation. Next, as shown in (b) of drawing 3, on the barrier metal 13, solder plating is performed and the solder layer 30 is formed. In addition, this solder layer 30 is thickly formed a little in consideration of the polish process mentioned later. Furthermore, the photograph resist 18 which carried out patterning as shown in (c) of drawing 3 is formed.

[0031] Next, as shown in (a) of drawing 4, the photograph resist 18 is used as a mask, the garbage of the solder layer 30 and the garbage of the barrier metal 13 are \*\*\*\*\*ed, and solder 30a is formed. Furthermore, as shown in (b) of drawing 4, the drawing 4 Nakagami section of solder 30a is ground, and height forms fixed solder 30b. Finally, the semiconductor substrate 10 is put on a hot platen etc., heating fusion of the solder 30b is carried out, and the solder bump 31 of a uniform size as shown in (c) of drawing 4 is formed.

[0032] As mentioned above, in the \*\*\*\* 2 example, the same effect as the 1st example which mentioned it above since it was made to grind solder 30a supplied on the electrode 11 until each height was in agreement can be acquired.

[0033] In addition, before forming the photograph resist 18, you may make it grind the solder layer 30, although solder 30a is ground in the \*\*\*\* 2 example after \*\*\*\*\*ing the barrier metal 13.

[0034] In addition, this invention is not limited to each example mentioned above. That is, although vacuum evaporation is performed as a method of forming barrier metal in the above-mentioned example, you may perform sputtering. In addition, of course, deformation implementation is variously possible in the range which does not deviate from the summary of this invention.

[0035] [Effect of the Invention] Since according to invention indicated by the claim 1 each solder supplied on the electrode can be ground so that the height from a substrate may turn into predetermined height, if heating fusion of the solder on each electrode is carried out, the bump who has arbitrary radii can be formed.

[0036] It is made to grind each solder supplied on the electrode according to invention indicated by the claim 2 until the height from a substrate is in agreement. For this reason, if heating fusion of the solder on each electrode is carried out, the bump who has the almost same radius will be formed. Therefore, in case it mounts, poor soldering by the ununiformity of a solder bump's size can be prevented.

[0037] According to invention indicated by the claim 3, solder can be easily supplied on an electrode. Therefore, productive efficiency improves. According to invention indicated by the claim 4, unnecessary solder is easily removable. Therefore, productive efficiency improves.

[0038] It can do, although polish removes the solder which is produced in case a mask is removed and which changed chemically according to invention indicated by the claim 5. Therefore, a homogeneous solder bump can be formed and poor soldering can be prevented beforehand.

---

[Translation done.]

\* NOTICES \*

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The cross section showing the process in the first half of the solder bump formation method concerning the 1st example of this invention.

[Drawing 2] The cross section showing the process in the second half of this method.

[Drawing 3] The cross section showing the process in the first half of the solder bump formation method concerning the 2nd example of this invention.

[Drawing 4] The cross section showing the process in the second half of this method.

[Drawing 5] The cross section showing an example of the process of the solder bump formation method by the conventional solder plating.

[Drawing 6] The cross section showing another example of the process of the solder bump formation method by the conventional solder plating.

[Description of Notations]

10 -- Semiconductor substrate 11 -- Electrode

12 -- Passivation film 13 -- Barrier metal

14 -- Photograph resist 14a -- Breakthrough

18 -- Photograph resist

20, 20a, 30a, 30b -- Solder

21 31 -- Solder bump 30 -- Solder layer

---

[Translation done.]